

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-324729

(43)Date of publication of application : 08.11.2002

(51)Int.Cl.

H01G 4/30

H01G 4/40

H05K 3/46

(21)Application number : 2002-033075

(71)Applicant : TDK CORP

(22)Date of filing : 08.02.2002

(72)Inventor : TAKATANI MINORU
ENDO TOSHIICHI

(30)Priority

Priority number : 2001047376 Priority date : 22.02.2001 Priority country : JP

(54) ELECTRONIC COMPONENT AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an electronic component wherein manufacturing time is reduced, cracks and warp are hardly generated and cost reduction is enabled, and to provide a method for manufacturing the electronic component.

SOLUTION: Resin or compound material wherein powder type functional material is mixed with resin is formed in a thin plate type and cured, and a core substrate 9a is formed. A thin film conductor is formed on at least one out of a surface and a back of the core substrate 9a by using any one out of a vapor deposition method, an ion plating method, an ion beam method, a vapor growth method and a sputtering method and patterned, and conductor patterns 19-22 are formed by patterning. Resin or compound material wherein powder type functional material is mixed with resin is formed in a thin plate type and semi-cured, and a prepreg 9b is formed. The prepregs 9b and the core substrates 9a are laminated alternately and collectively formed integrally by using thermal press, and a laminated component is obtained.

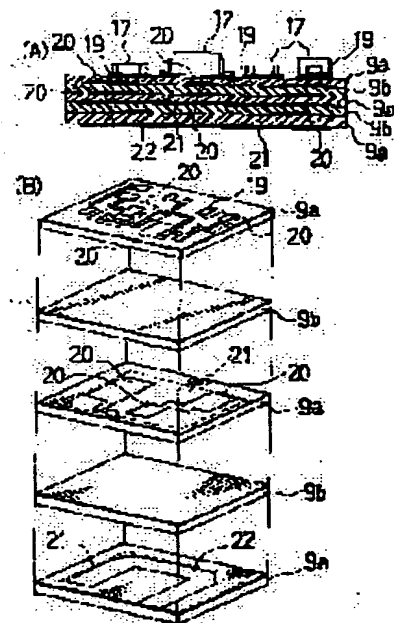


図1: (A) 断面図、(B) 分解斜視図。9a:コア基板、9b:プリプレグ、19:導体パターン、20:導体層、21:導体層、22:導体層

LEGAL STATUS

[Date of request for examination] 13.06.2002

[Date of sending the examiner's decision of rejection] 25.03.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of] 2003-06899

rejection]

[Date of requesting appeal against examiner's decision 23.04.2003
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2002-324729

(P 2002-324729A)

(43) 公開日 平成14年11月8日 (2002. 11. 8)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 G	4/30	3 0 1	A 5E082
		3 1 1	F 5E346
	4/40	H 0 5 K	3/46
H 0 5 K	3/46		G
			Q
		H 0 1 G	4/40
		3 2 1	A
審査請求	有	請求項の数 5	O L (全 8 頁)

(21) 出願番号 特願2002-33075 (P2002-33075)

(22) 出願日 平成14年2月8日 (2002. 2. 8)

(31) 優先権主張番号 特願2001-47376 (P2001-47376)

(32) 優先日 平成13年2月22日 (2001. 2. 22)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(72) 発明者 高谷 稔

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(72) 発明者 遠藤 敏一

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(74) 代理人 100081569

弁理士 若田 勝一

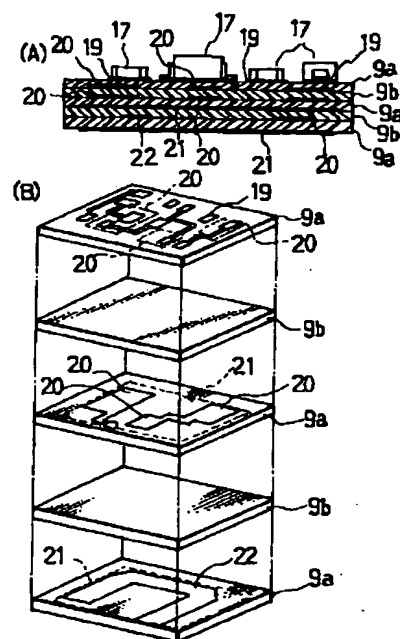
最終頁に続く

(54) 【発明の名称】 電子部品とその製造方法

(57) 【要約】

【課題】 製造時間が短縮され、かつクラックやそりが発生しにくく、コスト低減が図れる電子部品とその製造方法を提供する。

【解決手段】 樹脂、または樹脂に粉末状の機能材料を混合してなる複合材料を薄い板状に形成して硬化し、コア基板 9a を作製する。コア基板 9a の表裏面の少なくともいずれかに蒸着法、イオンプレーティング法、イオンビーム法、気相成長法、スパッタリング法のいずれかによって薄膜導体を形成した後にパターニングして導体パターン 19 ~ 22 を形成する。樹脂、または樹脂に粉末状の機能材料を混合してなる複合材料を薄い板状に形成して半硬化したプリプレグ 9b を作製する。該プリプレグ 9b とコア基板 9a とを交互に積層し、熱プレスによって一体化して積層部品を得る。



9a: コア基板、9b: プリプレグ、17: 導体部品、19: ランドパターン
20: コンデンサ電極、21: グランド電極、22: ストリップライン

【特許請求の範囲】

【請求項1】樹脂、または樹脂に粉末状の機能材料を混合してなる複合材料を薄い板状に形成して硬化してなるコア基板と、

該コア基板の表裏面の少なくともいずれかに薄膜形成技術によって形成され、かつパターンニングされた薄膜導体と、

樹脂、または樹脂に粉末状の機能材料を混合してなる複合材料からなり、前記薄膜導体を形成したコア基板間に介在させた接着層とにより構成され、

前記コア基板と、該コア基板間に前記接着層として設けるプリプレグとからなる積層体を熱プレスによって一体化してなることを特徴とする電子部品。

【請求項2】請求項1の電子部品において、前記薄膜導体は5 μ m以下の厚みを有することを特徴とする電子部品。

【請求項3】請求項1の電子部品において、前記樹脂は、エポキシ樹脂、フェノール樹脂、不飽和ポリエステル樹脂、ビニルエステル樹脂、ポリイミド樹脂、ビスマレイミドトリアジン（シアネートエステル）樹脂、ポリフェニレンエーテル（オキサライド）樹脂、フマレート樹脂、ポリブタジエン樹脂あるいはビニルベンジル樹脂のうちいずれか1種以上の熱硬化性樹脂か、または芳香族ポリエステル樹脂、ポリフェニレンサルファイド樹脂、ポリエチレンテレフタレート樹脂、ポリブチレンテレフタレート樹脂、ポリエチレンサルファイド樹脂、ポリエチルエーテルケトン樹脂、ポリテトラフルオロエチレン樹脂、ポリアリレート樹脂あるいはグラフト樹脂のうち少なくとも1種以上の熱可塑性樹脂か、または前記熱硬化性樹脂のうち少なくとも1種以上と前記熱可塑性樹脂の少なくとも1種以上とを複合させた樹脂からなることを特徴とする電子部品。

【請求項4】請求項1の電子部品において、前記粉末状の機能材料は、

Mn-Mg-Zn系、Ni-Zn系あるいはMn-Zn系のうちのいずれか1種以上からなるフェライト磁性体材料か、またはカーボン鉄、鉄-シリコン系合金、鉄-アルミニウム-珪素系合金、鉄-ニッケル系合金あるいはアモルファス系（鉄系、コバルト系）合金のうちのいずれか1種以上からなる強磁性金属磁性材料か、

またはBaO-TiO₂-Nd₂O₃系、BaO-TiO₂-SnO₂系、PbO-CaO系、TiO₂系、BaTiO₃系、PbTiO₃系、SrTiO₃系、CaTiO₃系、Al₂O₃系、BiTiO₄系、MgTiO₃系、(Ba, Sr)TiO₃系、Ba(Ti, Zr)O₃系、BaTiO₃-SiO₂系、BaO-SiO₂系、CaWO₄系、Ba(Mg, Nb)O₃系、Ba(Mg, Ta)O₃系、Ba(Co, Mg, Nb)O₃系、Ba(Co, Mg, Ta)O₃系、Mg₂SiO₄系、ZnTiO₃系、SrZrO₃系、ZrTiO₄

系、(Zr, Sn)TiO₄系、BaO-TiO₂-Sm₂O₃系、PbO-BaO-Nd₂O₃-TiO₂系、(Bi₂O₃, PbO)-BaO-TiO₂系、La₂Ti₂O₇系、Nd₂Ti₂O₇系、(Li, Sm)TiO₃系、Ba(Zn, Ta)O₃系、Ba(Zn, Nb)O₃系あるいはSr(Zn, Nb)O₃系のうちのいずれか1種以上からなる誘電体材料か、

または前記フェライト磁性体材料、前記強磁性金属磁性材料あるいは前記誘電体材料のうちの少なくとも2種以上を複合させた機能材料からなることを特徴とする電子部品。

【請求項5】樹脂、または樹脂に粉末状の機能材料を混合してなる複合材料を薄い板状に形成し硬化してコア基板とし、

該コア基板の表裏面の少なくともいずれかに蒸着法、イオンプレーティング法、イオンビーム法、気相成長法、スパッタリング法のいずれかによって薄膜導体を形成した後パターンニングし、

樹脂、または樹脂に粉末状の機能材料を混合してなる複合材料を薄い板状に形成して半硬化したプリプレグと前記コア基板とを交互に積層し、

その後熱プレスによって一体化して積層部品を得ることを特徴とする電子部品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、樹脂または粉末状の機能材料を樹脂に混合してなる複合材料を用いて積層構造に構成される電子部品とその製造方法に関する。

【0002】

【従来の技術】薄膜導体を用いて積層電子部品を製造する方法として、特開平5-267063号公報には、図5に示す方法が開示されている。図5に示すように、まず例えばインダクタを製造する場合、フェライトとして所定の機能を得るための原料粉末を配合し（ステップS1）、整粒、粉砕する（ステップS2）。その後、この配合し所定の粒度に整えられたものをバインダーおよび溶剤と用いてエナメル化する（S3）。

【0003】積層、焼成工程においては、フェライトペーストのスクリーン印刷（ステップS4）、乾燥炉の昇温による仮焼成（ステップS5）、蒸着、スパッタリング、イオンプレーティングのいずれかによる薄膜形成によるインダクタ電極付与（ステップS6）、フェライトペーストのスクリーン印刷（ステップS7）を行い、この工程を所望の数のパターンが得られる回数繰り返す。前記電極パターン形成は、多数個分のインダクタについて同時に行われる。

【0004】その後、各チップごとに切断し（ステップS8）、チップの側面に外部電極を塗布または蒸着、スパッタリングなどにより形成する（ステップS9）。その後、外部電極以外の部分にシリコンによる被服処理

10

20

30

40

50

(ステップ S10) を行い、必要な場合には外部電極に電気めっきを施す (ステップ S11)。

【0005】本出願人は、既に、樹脂または樹脂に機能材料 (誘電体粉末または磁性体粉末) を混合してなる複合材料を用い、かつ蒸着などによる薄膜導体を用いた電子部品を得る場合には、機能材料ペーストの印刷、熱硬化、薄膜形成を繰り返すことによって積層電子部品を得、特許出願を行っている。

【0006】

【発明が解決しようとする課題】上記従来例のように、印刷と硬化を繰り返す工程により製造する場合、製造工程に要するコストと時間が非常にかかるため、製品コストが高くなり、製品化するための期間が非常にかかるという問題点があった。

【0007】また、セラミックの場合、焼成してから印刷や薄膜導体を構成するには、素体のもろさの影響がでやすく、また、応力がかかってしまうため、クラックやそりなどの問題がでやすい。さらに、本来、積層体は何時間もかけて焼成するものなので、層数が増えると、長い製造時間とコストがかかってしまう。

【0008】また、樹脂または複合材料の場合も、熱硬化と印刷を繰り返すため、大きな応力がかかり、印刷面が荒れる等、層数が多くなると製造が難しくなってしまう。

【0009】本発明は、上記問題点に鑑み、製造時間が短縮され、かつクラックやそりが発生しにくく、コスト低減が図れ、層数が多い場合でも製造が行える電子部品とその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明による電子部品の製造方法は、樹脂、または樹脂に粉末状の機能材料を混合してなる複合材料を薄い板状に形成し硬化してコア基板とし、該コア基板の表裏面の少なくともいずれかに蒸着法、イオンプレーティング法、イオンビーム法、気相成長法、スパッタリング法のいずれかによって薄膜導体を形成した後にパターンニングし、樹脂、または樹脂に粉末状の機能材料を混合してなる複合材料を薄い板状に形成して半硬化したプリプレグと前記コア基板とを交互に積層し、その後熱プレスによって一体化して積層部品を得ることを特徴とする。

【0011】このように、コア基板とプリプレグとをそれぞれ別々に作成して積層し同時に硬化させることにより、製造時間が短縮され、コスト低減が図れる。また、熱プレスにより一度に全体が硬化されるので、クラックやそりが発生しにくくなり、層数が多い場合でも製造が可能となる。

【0012】また、薄膜導体が薄く形成できるために、第一に部品の薄型化が可能となり (特にコンデンサにおいてこの効果が顕著となる。)、第二にパターンニング精度や層間精度も上げることができ、第三に薄膜導体が薄

いたために導体の周辺まで樹脂が埋まり、めっき処理等の後工程に起因するマイグレーションを防止することができる。なお、ここで、粉末状とは、顆粒状、フレーク状、針状、スパイク状を含む意味で用いる。

【0013】本発明による電子部品は、樹脂、または樹脂に粉末状の機能材料を混合してなる複合材料を薄い板状に形成して硬化してなるコア基板と、該コア基板の表裏面の少なくともいずれかに薄膜形成技術によって形成され、かつパターンニングされた薄膜導体と、樹脂、または樹脂に粉末状の機能材料を混合してなる複合材料からなり、前記薄膜導体を形成したコア基板間に介在させた接着層とにより構成され、前記コア基板と、該コア基板間に前記接着層として設けるプリプレグとからなる積層体を熱プレスによって一体化してなることを特徴とする。

【0014】このような積層構造で電子部品を構成することにより、製造時間の短縮、コスト低減、クラックやそりの発生防止が達成できる。

【0015】また、本発明の電子部品において、好ましくは前記薄膜導体を $5\mu\text{m}$ 以下の厚みとする。

【0016】薄膜導体の厚みが $5\mu\text{m}$ を超えると、薄膜形成に時間がかかりすぎ、製造時間の短縮が困難となるが、この厚みを $5\mu\text{m}$ 以下とすることにより、製造時間が長くなることを回避することができる。なお、薄膜導体の厚みが $1\mu\text{m}$ 未満では導体抵抗が大きくなってしまいうため、Q をある程度維持したい場合には、薄膜導体の厚みを $1\mu\text{m}$ 以上とすることが好ましい。しかし、コンデンサやロスを大きくしたい例えばノイズ除去回路等の回路部分においては、薄膜導体の厚みは $1\mu\text{m}$ 以下でも充分であり、例えば $0.3\mu\text{m}$ 以上あればよい。

【0017】また本発明の電子部品において、前記樹脂として、エポキシ樹脂、フェノール樹脂、不飽和ポリエステル樹脂、ビニルエステル樹脂、ポリイミド樹脂、ビスマレイミドトリアジン (シアネートエステル) 樹脂、ポリフェニレンエーテル (オキサイド) 樹脂、フマレート樹脂、ポリブタジエン樹脂あるいはビニルベンジル樹脂のうちいずれか 1 種以上の熱硬化性樹脂か、または芳香族ポリエステル樹脂、ポリフェニレンサルファイド樹脂、ポリエチレンテレフタレート樹脂、ポリブチレンテレフタレート樹脂、ポリエチレンサルファイド樹脂、ポリエチルエーテルケトン樹脂、ポリテトラフルオロエチレン樹脂、ポリアリレート樹脂あるいはグラフト樹脂のうちの少なくとも 1 種以上の熱可塑性樹脂か、または前記熱硬化性樹脂のうちの少なくとも 1 種以上と前記熱可塑性樹脂の少なくとも 1 種以上とを複合させた樹脂を用いることができる。

【0018】また、本発明の電子部品において、前記粉末状の機能材料として、 $\text{Mn}-\text{Mg}-\text{Zn}$ 系、 $\text{Ni}-\text{Zn}$ 系あるいは $\text{Mn}-\text{Zn}$ 系のうちのいずれか 1 種以上からなるフェライト磁性体材料か、またはカーボニル鉄、鉄-シリコン系合金、鉄-アルミニウム-珪素系合金、

鉄-ニッケル系合金あるいはアモルファス系（鉄系、コバルト系）合金のうちのいずれか1種以上からなる強磁性金属磁性材料か、または $\text{BaO-TiO}_2\text{-Nd}_2\text{O}_3$ 系、 $\text{BaO-TiO}_2\text{-SnO}_2$ 系、 PbO-CaO 系、 TiO_2 系、 BaTiO_3 系、 PbTiO_3 系、 SrTiO_3 系、 CaTiO_3 系、 Al_2O_3 系、 BiTiO_4 系、 MgTiO_3 系、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 系、 $\text{Ba}(\text{Ti}, \text{Zr})\text{O}_3$ 系、 $\text{BaTiO}_3\text{-SiO}_2$ 系、 BaO-SiO_2 系、 CaWO_4 系、 $\text{Ba}(\text{Mg}, \text{Nb})\text{O}_3$ 系、 $\text{Ba}(\text{Mg}, \text{Ta})\text{O}_3$ 系、 $\text{Ba}(\text{Co}, \text{Mg}, \text{Nb})\text{O}_3$ 系、 $\text{Ba}(\text{Co}, \text{Mg}, \text{Ta})\text{O}_3$ 系、 Mg_2SiO_4 系、 ZnTiO_3 系、 SrZrO_3 系、 ZrTiO_4 系、 $(\text{Zr}, \text{Sn})\text{TiO}_4$ 系、 $\text{BaO-TiO}_2\text{-Sm}_2\text{O}_3$ 系、 $\text{PbO-BaO-Nd}_2\text{O}_3\text{-TiO}_2$ 系、 $(\text{Bi}_2\text{O}_3, \text{PbO})\text{-BaO-TiO}_2$ 系、 $\text{La}_2\text{Ti}_2\text{O}_7$ 系、 $\text{Nd}_2\text{Ti}_2\text{O}_7$ 系、 $(\text{Li}, \text{Sm})\text{TiO}_3$ 系、 $\text{Ba}(\text{Zn}, \text{Ta})\text{O}_3$ 系、 $\text{Ba}(\text{Zn}, \text{Nb})\text{O}_3$ 系あるいは $\text{Sr}(\text{Zn}, \text{Nb})\text{O}_3$ 系のうちのいずれか1種以上からなる誘電体材料か、または前記フェライト磁性体材料、前記強磁性金属磁性材料あるいは前記誘電体材料のうちの少なくとも2種以上を複合させた機能材料を用いることができる。

【0019】

【発明の実施の形態】図1は本発明による電子部品の製造方法の一実施の形態を示す工程図、図2、図3は各工程を図示した説明図である。

【0020】図1のステップS1においては、複合材料を得るため、樹脂に機能粉末（磁性体粉末または誘電体粉末）とトルエン等の溶剤を加えて混練してペースト化する。ここで、樹脂としては、前記した各種のもののうちの1種以上を用いることができる。

【0021】また、これらの樹脂に混合する粉末状の機能材料としては、前記した各種のもののうちの1種以上を用いることができる。

【0022】次に図1のステップS2において、プリプレグの作成を、図2（A）に示すように行う。すなわち、前記複合材料のペースト2を入れた容器1に、リール3に巻いたガラスクロス4を繰り出して、ペースト2に浸漬させる。その後、ガラスクロス4に塗布したペーストを、ガラスクロス4を乾燥機5に通すことにより乾燥し、巻き取りリール6に素材7を巻き取る。その後、この素材7を図2（B）に示すように、カッタ8により所定の寸法ごとに切断してガラスクロス入りのプリプレグ9を作成する。

【0023】このようにして作製されたプリプレグは、図1の左側の工程S3～S6と、右側の工程S7とに分かれてコア基板9a（図2（C）参照）あるいは半硬化した接着層としてのプリプレグ9b（図2（F）参照）として利用する。コア基板の形成（ステップS3）は、

例えば前記ビニルベンジル樹脂を複合材料ペースト2に用いた場合には200℃にて2時間行う。

【0024】なお、ステップS7のプリプレグ9bの半硬化は、例えばビニルベンジル樹脂を複合材料ペースト2に用いた場合の半硬化は110℃で1時間行う。

【0025】ステップS4の薄膜導体形成工程においては、図2（D）に示すように、蒸着法、イオンプレーティング法、イオンビーム法、スパッタリング法、気相成長法等の薄膜形成技術を用いてコア基板9aの表裏面に薄膜導体10を形成する。なお、この場合、薄膜導体10としては、銅、銀、ニッケル、錫、亜鉛、アルミニウムなどを用いることができる。

【0026】ステップS5のパターニング工程においては、コア基板9a上にレジストを形成し、その後の導体層のパターンを形成するための露光と、レジストの部分除去と、その除去部分の薄膜エッチングと、レジストの除去の工程によって図2（E）のパターニングされた薄膜導体11を形成する。該薄膜導体11は、1枚のコア基板9aに対して、多数個取りのため、複数の同じパターンが縦横に配設されたものである。なお、パターン化のための上記以外の方法として、マスクを通して導体薄膜パターンを形成する方法もある。

【0027】ステップS6のインナービア形成工程においては、図3（A）に示すように、ドリル、パンチあるいはレーザによりビアホール12を開け、その内壁に導体13をめっきしてコア基板9aの表裏面の薄膜導体11、11どうしを接続する。なお、このようにビアホール12の内壁に導体13をめっきする場合、薄膜導体11の膜厚を厚くしないための方策として、薄膜導体11にレジスト塗布等適宜なマスキングを行う。そしてこのレジスト塗布を行った場合は、ビアホール12へのめっき後、レジストを剥離する。

【0028】ステップS8の一体プレスの工程においては、図3（B）に示すように、コア基板9aと接着層としてのプリプレグ9bとを交互に重ね、前記本硬化の温度、時間で熱プレスすることにより、プリプレグ9bの層も本硬化させる。これにより、図3（C）に示すように、一体化した積層体14を得る。

【0029】次にステップS9の貫通スルーホールの形成においては、図3（D）に示すように、ドリル、パンチあるいはレーザによりスルーホール15を開け、その内壁に導体16をめっきしてコア基板9aの表裏面の薄膜導体11、11あるいはこれらと内部の薄膜導体11、もしくは内部薄膜導体11、11どうしを接続する。

【0030】次にステップS10のめっき・切断の工程においては、はんだめっきなどの必要なめっきを施した後、個々のチップに切断する。図3（E）に示すように、搭載部品17を搭載する場合には、個々のチップに切断前または切断後に該部品17を半田付けする。

【0031】このように、コア基板 9a とプリプレグ 9b とをそれぞれ別々に作成して積層し同時に硬化させることにより、製造時間が短縮され、コスト低減が図れる。また、熱プレスにより一度に全体が硬化されるので、クラックやそりが発生しにくくなる。また、従来のように銅箔を用いてパターンを形成するとすれば、最低 $9\mu\text{m}$ 程度の厚みのものは開発されているものの、一般的には $18\mu\text{m}$ 程度の厚みのものが使用されている。一方、本発明のように薄膜を用いることにより、 $9\mu\text{m}$ 以下の薄膜が容易に形成できる。このため、パターンの厚みによって積層体の凹凸が少なくなり、コンデンサやインダクタを形成した場合の特性のばらつきが小さくなる。

【0032】薄膜導体 10 の厚みは $5\mu\text{m}$ 以下であることが好ましい。薄膜導体 10 の厚みが $5\mu\text{m}$ を超えると、薄膜形成に時間がかかりすぎ、製造時間の短縮が困難となるが、 $5\mu\text{m}$ 以下とすることにより、製造時間が長くなることを回避することができる。一方、薄膜導体 10 の厚みが $1\mu\text{m}$ 未満では導体抵抗が大きくなってしまったため、Q をある程度維持したい場合には、薄膜導体 10 の厚みは $1\mu\text{m}$ 以上とすることが好ましい。しかしコンデンサや例えばノイズ除去回路のようなロスを大きくしたい回路等においては、薄膜導体 10 の厚みは $1\mu\text{m}$ 未満でもよく、 $0.3\mu\text{m}$ 以上あればよい。

【0033】図 4 (A) は本発明の電子部品の一例を示す断面図、図 4 (B) はその層構成図である。この例は電圧制御発振器 (VCO) であり、9a はコア基板、9b はプリプレグまたはこれを硬化させコア基板 9a に接着したものである。また、19 は表面のランドパターン、20 はコンデンサ電極、21 は共振器を構成するストリップライン 22 を挟むグランド電極である。17 はトランジスタ、バリキャップダイオードといった半導体部品や、大容量コンデンサやインダクタチップ、チップ抵抗などからなる搭載部品である。

【0034】本発明は、上記例以外にコンデンサ、インダクタあるいは LC フィルタ、LCR フィルタもしくは半導体部品と受動部品 (回路) とを組み合わせた (すなわち混成集積させた) 各種モジュールとして実現することができる。また、本発明を実施する場合、電子部品を構成する一部または全部のコア基板 9a の表裏面のうちの一方の面のみに薄膜導体 11 を形成する構成も実現できる。

【0035】本発明のように薄膜導体を用いれば、従来のように銅箔を使用した場合に比較して、電子部品の薄型化が可能となる。具体的には、従来一般に導体パターン形成に用いられている $18\mu\text{m}$ の銅箔を 8 層有し、絶縁層として $60\mu\text{m}$ の厚みの樹脂層を 7 層有する電子部

品の場合、電子部品の厚みは、 $60\mu\text{m} \times 7 + 18\mu\text{m} \times 8 = 564\mu\text{m}$ となる。

【0036】一方、本発明において、薄膜導体 11 として $3\mu\text{m}$ の厚みのものを用い、樹脂層の厚み、樹脂層および導体層の層数を前記従来のものと同一とした場合、電子部品の厚みは、 $60\mu\text{m} \times 7 + 3\mu\text{m} \times 8 = 444\mu\text{m}$ となり、従来例よりも $120\mu\text{m}$ 薄い電子部品を得ることができる。

【0037】また、前記従来例の場合、導体パターンの形成可能幅は最小 $50\mu\text{m}$ であり、導体パターン間の形成可能な幅も最小 $50\mu\text{m}$ である。一方、本発明によれば、導体パターンの形成可能幅は最小 $10\mu\text{m}$ 、導体パターン間の形成可能な幅も最小 $10\mu\text{m}$ となり、ファインパターン化、すなわちパターン精度の向上が可能となる。

【0038】

【発明の効果】本発明によれば、コア基板とプリプレグとをそれぞれ別々に作成して積層し同時に硬化させて電子部品を製造するため、製造時間が短縮され、コスト低減が図れる。また、熱プレスにより一度に全体が硬化されるので、クラックやそりが発生しにくくなる。また、導体の薄型化により、部品の薄型化、パターンニング精度や層間精度の向上、マイグレーション防止効果が得られる。

【0039】また、本発明において、前記薄膜導体の厚みを $5\mu\text{m}$ 以下の厚みとすることにより、厚みが厚くならず、製造時間が長くなることを回避することができる。

【図面の簡単な説明】

【図 1】本発明による電子部品の製造方法の一実施の形態を示す工程図である。

【図 2】本発明による電子部品の製造方法の一実施の形態の一部の工程の説明図である。

【図 3】本発明による電子部品の製造方法の一実施の形態の残部の工程の説明図である。

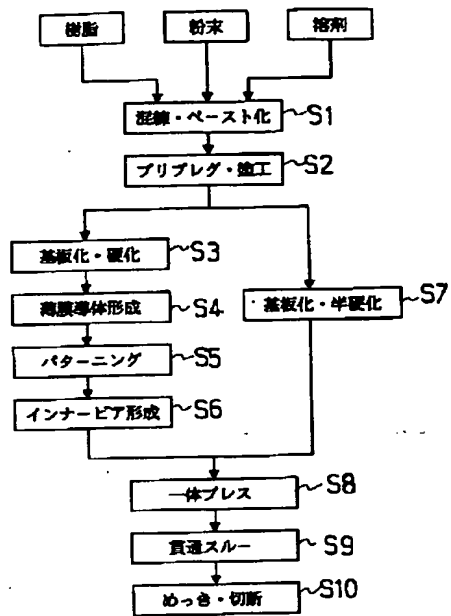
【図 4】(A) は本発明による電子部品の一実施の形態を示す断面図、(B) はその層構成図である。

【図 5】従来の電子部品の製造方法を示す工程図である。

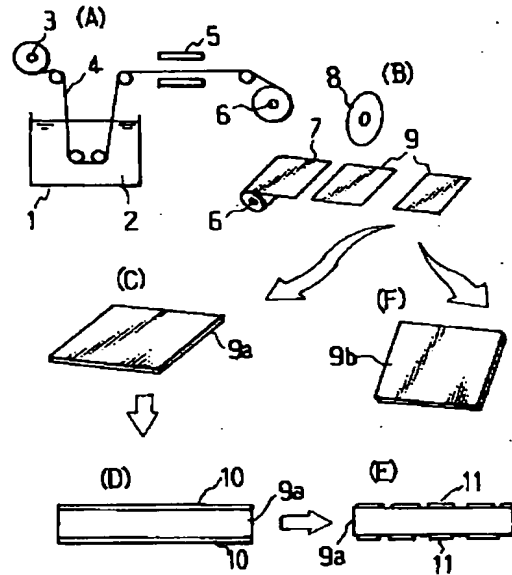
【符号の説明】

1 : 容器、2 : 複合材料、3、6 : リール、4 : ガラスクロス、5 : 乾燥機、7 : 素材、8 : カッタ、9 : プリプレグ、9a : コア基板、9b : プリプレグ、10、11 : 薄膜導体、12 : ビアホール、13 : 導体、14 : 積層体、15 : スルーホール、16 : 導体、17 : 搭載部品、19 : ランドパターン、20 : コンデンサ電極、21 : グランド電極、22 : ストリップライン

【図 1】

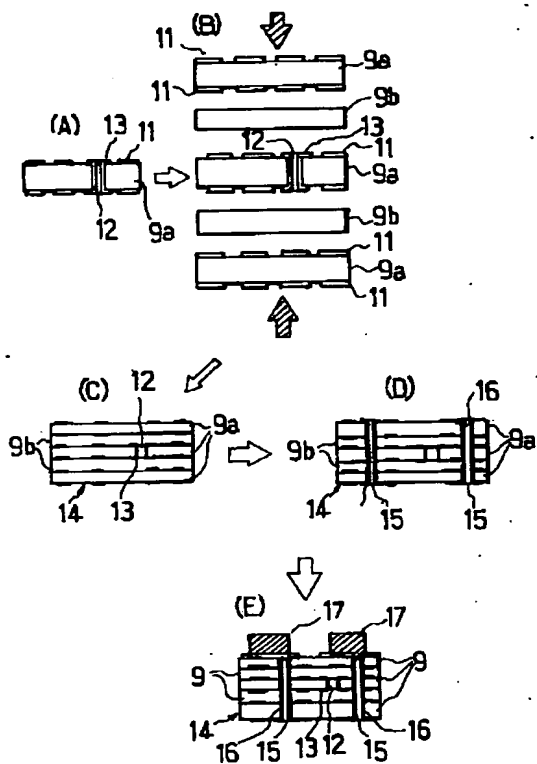


【図 2】



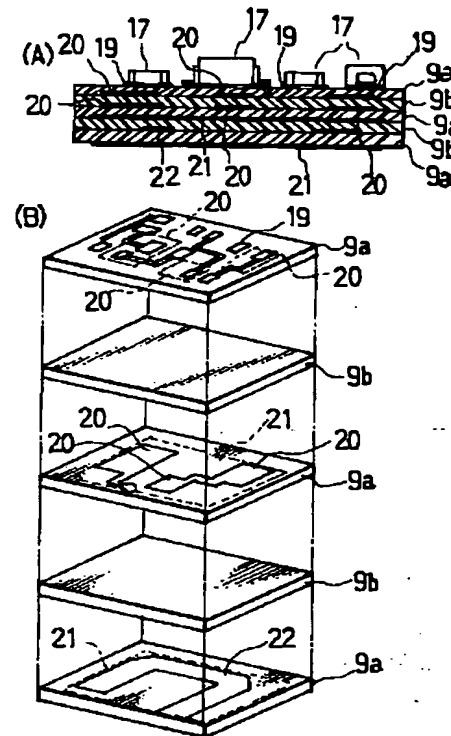
1: 容器、2: 複合材料、3、6: リール、4: ガラスクロス
 5: 乾燥機、7: 素材、8: カッタ、9: プリプレグ、9a: コア基板
 9b: プリプレグ、10、11: 薄膜導体

【図 3】



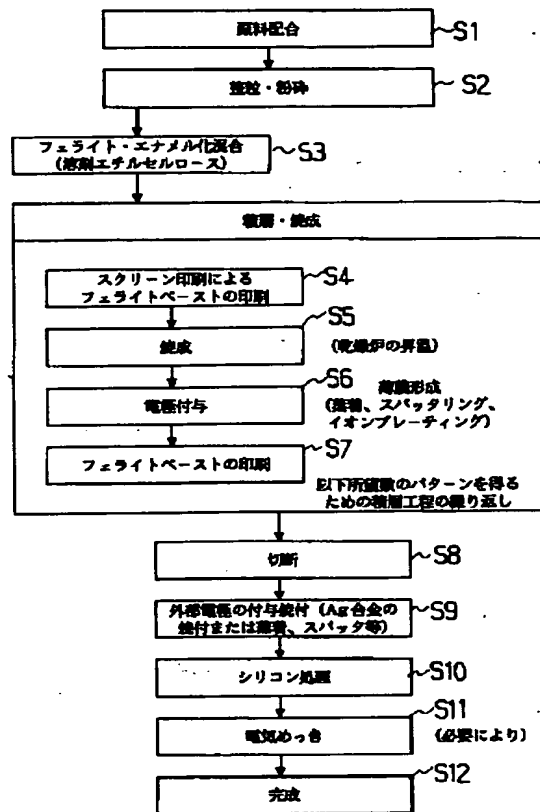
9a: コア基板、9b: プリプレグ、11: 薄層導体、12: ビアホール
13: 導体、14: 複層体、15: スルーホール、16: 導体、17: 搭載部品

【図 4】



9a: コア基板、9b: プリプレグ、17: 搭載部品、19: ランドパターン
20: コンデンサ電極、21: グランド電極、22: ストリップライン

【図5】



フロントページの続き

Fターム(参考) 5E082 AB03 BB01 BB07 DD07 EE05
 EE23 EE37
 5E346 AA06 AA11 AA12 AA13 AA15
 AA22 AA23 AA33 AA36 BB01
 BB20 CC02 CC08 CC16 CC21
 CC31 DD02 DD07 DD15 DD32
 EE02 EE06 EE09 FF04 FF45
 GG17 GG22 GG28 HH24 HH33